

B.Ü. Ar-Ge Okulu
Sayısal Tasarım
Bölüm 5: Tümlleşik Bileşenlerle Tasarım
Alıştırmalar

- 1) Bir Özel-VEYA kapısındaki yayılma gecikmesinin 20 nanosaniye (10^{-9} saniye), VE ve VEYA kapılarındaki gecikmelerin de 5 nanosaniye olduğunu varsayalım. Dört basamaklı bir tam toplayıcının toplam yayılma gecikmesi kaç nanosaniyedir?
- 2) 5×32 'lik bir kod çözücüye sadece dört tane 3×8 'lik ve bir tane 2×4 'lük kod çözücü kullanarak tasarlayın. Kod çözücü çıktıların ve etkinleştirme girdilerinin yüksek-aktif olduğunu varsayın. (*İpucu: 2×4 'lük kod çözücüye diğer kod çözücülerini uygun şekilde etkinleştirmek için kullanmalısınız.*)
- 3) Bir mantık devresinin, dört bitlik ikili bir sayı sekizden küçükse 4 (0100) eklemesi istenmektedir. Aksi durumda ise sayı değiştirilmeyecektir. Diğer bir deyişle dört bitlik girdi A , çıktı da B ise,

$$B = \begin{cases} A + 4 & A < 8 \text{ ise} \\ A & A \geq 8 \text{ ise} \end{cases}$$

olacaktır.

- a) Bu devreyi 4×16 'lık bir kod çözücü ile ve çok girdili VEYA-DEĞİL kapılarıyla gerçekleyin.
- b) Bu devreyi iki tane 8×1 çoğullayıcı ve bir DEĞİL kapısı ile gerçekleyiniz.
- c) Bu devreyi dört bitlik bir tam toplayıcı ve en az sayıda mantık kapısı kullanarak gerçekleyiniz (*İpucu: Dört bitlik toplayıcının ve gerçekleştirilecek işlemin çıktılarını bir doğruluk tablosunda karşılaştırınız.*)
- 4) Sadece 3×8 'lik bir kod çözücü ve bir VEYA kapısı kullanarak, 2×1 'lik bir çoğullayıcı (iki veri girdisi ve bir seçme girdisi olan bir çoğullayıcı) tasarlayınız.